

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-296037

(43)Date of publication of application : 21.10.1994

(51)Int.Cl.

H01L 31/108

(21)Application number : 05-105091

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 07.04.1993

(72)Inventor : HIRAYAMA YOSHIYUKI

NISHIKATA KAZUAKI

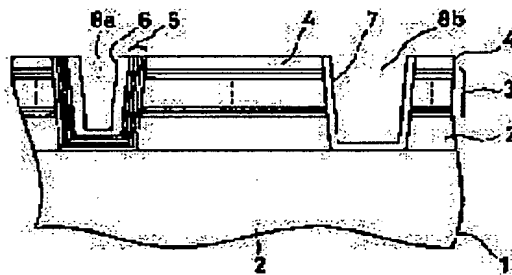
IRIKAWA MASANORI

(54) SEMICONDUCTOR PHOTODETECTOR

(57)Abstract:

PURPOSE: To provide a semiconductor light-receiving element in which response characteristics are improved and a dark current is decreased.

CONSTITUTION: In this semiconductor photodetector having a strained superlattice layer with in-plane compressive distortion formed on a semiconductor substrate 1, grooves 8a and 8b, on which a light-receiving layer 3 is partially removed, are formed and a Schottky electrode 6 is formed on the side face of the light-receiving layer 3 of the groove 8a through the intermediary of a multiple quantum parrier structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-296037

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.⁵

H 0 1 L 31/108

識別記号

庁内整理番号

8422-4M

F I

H 0 1 L 31/ 10

技術表示箇所

C

審査請求 未請求 請求項の数2 F D (全 3 頁)

(21)出願番号 特願平5-105091

(22)出願日 平成5年(1993)4月7日

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 平山 祥之

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(72)発明者 西片 一昭

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(72)発明者 入川 理徳

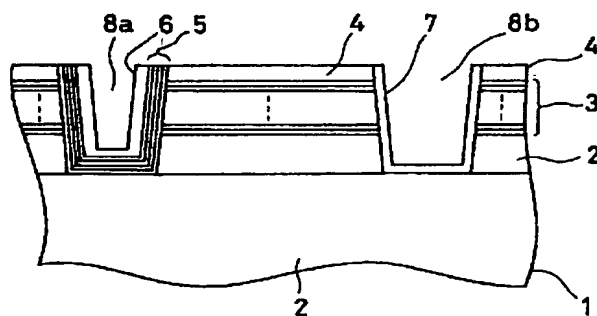
東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(54)【発明の名称】 半導体受光素子

(57)【要約】

【目的】 応答特性を向上させ、また、暗電流を低減させた半導体受光素子を提供する。

【構成】 半導体基板1上に、面内圧縮歪みがある歪み超格子層を有する受光層3を積層した半導体受光素子において、受光層3を部分的に除去した溝8a、8bを形成し、該溝8aの受光層3側面に多重量子障壁構造5を介してショットキー電極6を形成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体基板上に、面内圧縮歪みがある歪み超格子層を有する受光層を積層した半導体受光素子において、受光層を部分的に除去した溝を有し、該溝の側壁の受光層側面にショットキー電極を形成したことを特徴とする半導体受光素子。

【請求項2】 前記溝の側壁の受光層側面に多重量子障壁構造を介してショットキー電極を形成したことを特徴とする請求項1記載の半導体受光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体受光素子に関する。

【0002】

【従来技術】 MSM (Metal Semiconductor Metal) 型の半導体受光素子は、結晶表面に対向した電極を持つ構造をしており、OECなどの集積化した回路に適しているため、多くの研究がなされている。この素子は、容量が小さく、構造が簡単で製造プロセス数が少なく済むなどの長所を有してゐる。一方、この素子は暗電流が大きく、パルス応答の立ち下がりも遅いなどの短所もある。パルス応答の立ち下がりが遅い原因は、光吸収によって発生した正孔の移動速度が遅く、光を断つた後も、ただらと正孔がマイナス電極へと到達し続けるために起こるものと思われる。

【0003】 そこで、正孔の移動度を高めるために、歪み超格子を利用することが考えられた。即ち、圧縮歪みを受けると、3-5族化合物半導体は歪みの無い場合に比較して優れた電子輸送特性を示し、正孔が歪み超格子構造に平行な面内方向に対して軽い有効質量を持ち、無歪みの場合に比較して正孔の移動度が向上する。図3は、このような歪み超格子を利用したMSM型の半導体受光素子の断面図である。図中、11は(100)FeドープInP基板、12はノンドープInPバッファ層、13はGaInAs/GaInAs歪み超格子構造からなる受光層、14はノンドープAlInAsキャップ層、16はTi/Pt/Au電極である。

【0004】

【発明が解決しようとする課題】 しかしながら、上述の歪み超格子構造を有するMSM型の半導体受光素子には、次のような問題があった。即ち、

1) 正孔は、歪み超格子構造に平行な方向と垂直な方向に移動する。正孔は歪み超格子構造に平行な面内方向に対して軽い有効質量を持つが、超格子構造に垂直な方向に対しては有効質量が重く、移動度も小さい。

2) 電極と半導体とのショットキー障壁が低いため、この障壁をキャリアが簡単に越え、暗電流が増大する。本発明の目的は、歪み超格子を利用して、MSM型の半導体受光素子の応答速度を高め、電極と半導体との間の電位障壁を高くして、暗電流を低減することにある。

【0005】

【課題を解決するための手段】 本発明は上記問題点を解決した半導体受光素子を提供するもので、半導体基板上に、面内圧縮歪みがある歪み超格子層を有する受光層を積層した半導体受光素子において、受光層を部分的に除去した溝を有し、該溝の側壁の受光層側面にショットキー電極を形成したことを第1発明とし、前記発明において、前記溝の側壁の受光層側面に多重量子障壁構造を介してショットキー電極を形成したことを第2発明とするものである。

【0006】

【作用】 上述のように、受光層を部分的に除去した溝を形成し、該溝の側壁の受光層側面にショットキー電極を形成すると、受光層中の正孔は歪み超格子層に平行な方向に対してのみ移動するため、移動度が大きく、応答速度が向上する。また、溝の側壁の受光層側面に多重量子障壁構造を介してショットキー電極を形成すると、受光層とショットキー電極間の電位障壁を高くすることができるので、暗電流を低減することができる。

【0007】

【実施例】 以下、図面に示した実施例に基づいて本発明を詳細に説明する。図1、2は、それぞれ本発明にかかる半導体受光素子の一実施例の部分平面図とA-A断面図である。図中、1は半絶縁性InP基板、2は厚さ0.5μmのInAlAsバッファ層、3は受光層、4はInPに格子整合する厚さ300ÅのInGaAsからなるキャップ層である。受光層3は、厚さ0.5μm~1.0μmのIn_{0.39}Ga_{0.61}As (厚さ20Å) / In_{0.68}Al_{0.32}As (厚さ20Å) 歪み超格子構造からなり、In_{0.39}Ga_{0.61}Asは引っ張り歪みを有し、In_{0.68}Al_{0.32}Asは圧縮歪みを有し、トータルでは歪みが打ち消されるように設計されている。5はInAlAs/InGaAs(P)からなる多重量子障壁層であり、6はTi/Pt/Auショットキー電極、7はAu/Ge/Niオーミック電極である。

【0008】 本実施例の素子は以下の工程で製作した。即ち、

- 1) 先ず、半絶縁性InP基板1上に順次、InAlAsバッファ層2、受光層3、キャップ層4を積層する。
 - 2) 次に、フォトリソグラフィの技術を用いて、基板1に達する深さの櫛状の溝8a、8bを形成する。
 - 3) 次に、負側の電極を形成する前に、ALE (Atomic layer epitaxy) 法による選択成長を用いて、溝8aの側壁に多重量子障壁層5を成長させる(文献1参照)。次に、フォトリソグラフィの技術を用いて、選択的に、多重量子障壁層5上にTi/Pt/Auショットキー電極6を蒸着し、溝8bの側壁に正側の電極としてAu/Ge/Niオーミック電極を蒸着する。
- なお、歪み超格子構造の材料としては、上記実施例に限定されず、InGaAlAsやInGaAsPなどの四

元系の材料を用いてもよく、また、バッファ層として超格子層やInPを用いてもよい。さらに、多重量子障壁層としては、InAlAs/InGaAs(P)などを用いてもよい(文献2参照)。

文献1: Appl. Phys. Lett., 56(1990)289.

文献2: Jpn. J. Appl. Phys., 31(1992)L1351.

【0009】

【発明の効果】以上説明したように本発明によれば、半導体基板上に、面内圧縮歪みがある歪み超格子層を有する受光層を積層した半導体受光素子において、受光層を部分的に除去した溝を有し、該溝の側壁の受光層側面にショットキー電極を形成するため、応答特性が向上し、また、溝の側壁の受光層側面に多重量子障壁構造を介してショットキー電極を形成するため、暗電流が低減するという優れた効果がある。

【図面の簡単な説明】

【図1】本発明に係る半導体受光素子の一実施例の部分平面図である。

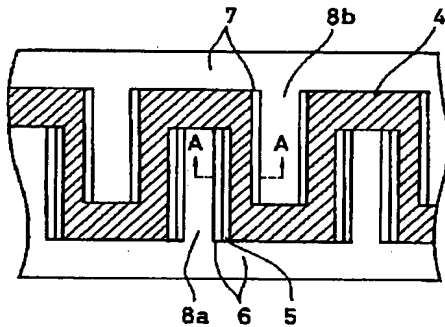
【図2】上記実施例のA-A断面図である。

【図3】従来の半導体受光素子の断面図である。

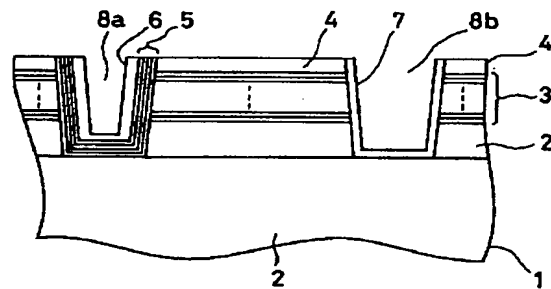
【符号の説明】

- | | |
|-------|----------|
| 1 | 基板 |
| 2 | バッファ層 |
| 3 | 受光層 |
| 4 | キャップ層 |
| 5 | 多重量子障壁層 |
| 6 | ショットキー電極 |
| 7 | オーミック電極 |
| 8a、8b | 溝 |

【図1】



【図2】



【図3】

